

INSTYTUT ŁĄCZNOŚCI

REFERATY PROBLEMOWE

Zeszyt 30

Jerzy Laube

WYBRANE METODY PROJEKTOWANIA
CYFROWYCH ZESPOŁÓW FUNKCJONALNYCH
NA PRZYKŁADZIE PROJEKTU
GENERATORA POŁĄCZEŃ TELEFONICZNYCH



Warszawa - czerwiec 1980

62/355.66

INSTITUT ŁĄCZNOŚCI

KOŁO ZAKŁADOWE STOWARZYSZENIA ELEKTRYKÓW POLSKICH



Na prawach rękopisu

REFERATY PROBLEMOWE

Zeszyt 30

Jerzy Laube

WYBRANE METODY PROJEKTOWANIA
CYFROWYCH ZESPOŁÓW FUNKCJONALNYCH
NA PRZYKŁADZIE PROJEKTU
GENERATORA POŁĄCZEŃ TELEFONICZNYCH

Warszawa - czerwiec 1980

5-8745

Zespół Redakcyjny:
dr inż. Stanisław Sołta, mgr inż. Andrzej Stągorowski,
mgr inż. Maria Waśniewska

BIBLIOTEKA
Instytutu Łączności

Opracował:

mgr inż. Jerzy Laube

Nr 5-8745

Zakład Metod Eksploatacji Sieci i Urządzeń
Telekomunikacyjnych /Z-24/

Instytut Łączności, Oddział w Gdańsku
80-252 Gdańsk, ul. Jaśkowa Dolina 8, tel. 41-80-91, w. 36

Praca problemu węzłowego nr 13.04.Y.02.02

Opiniował: mgr inż. Andrzej Zejdel

Manuskrypt dostarczono dnia 3.VI.1980 r.

W referacie przedstawiono wybrane metody projektowania systemów cyfrowych /cyfrowych zespołów funkcjonalnych/, ze szczególnym zwróceniem uwagi na projektowanie części sterujących tych systemów. Omówiono systemy pracujące bez rozdziału czasu oraz z rozdziałem czasu. Podano konkretny przykład. Przedstawione metody charakteryzują się prostotą, łatwością w stosowaniu i nadają się do różnorodnych zastosowań.

S P I S T R E Ś C I

	Str.
1. Wstęp	1
2. Struktura cyfrowego zespołu funkcjonalnego	2
3. Wybrane struktury cyfrowego zespołu funkcjonalnego pracującego bez rozdziału czasu	3
3.1. Układ przetwarzania danych	3
3.2. Układ taktujący	4
3.3. Układ sterowania	7
3.4. Układ wytwarzania sygnałów sterujących	10
3.5. Przykład syntezy części sterującej cyfrowego zespołu funkcjonalnego	14
4. Wybrane struktury cyfrowego zespołu funkcjonalnego pracującego z rozdziałem czasu	20
5. Podsumowanie	26
Wykaz literatury	26

Redaktor: mgr K. Juszkiewicz Montaż tekstu: E. Milkiewicz

Wpłynęło do Działu Wydawniczego Instytutu Łączności
w Warszawie, ul. Szachowa 1 dnia 24.VI.1980 r.
Nakład 70 egz.

1. WSTĘP

W praktyce inżynierskiej niejednokrotnie istnieje potrzeba zaprojektowania urządzenia, którego zadaniem jest realizacja pewnego algorytmu, czyli - inaczej mówiąc - potrzeba zaprojektowania cyfrowego zespołu funkcjonalnego. Cyfrowy zespół funkcjonalny jest to taki system cyfrowy, który realizuje algorytm przetwarzania informacji składających się z wielu kolejno po sobie następujących operacji [6]. Jako przykład podać tu można różnego typu automatyczne przyrządy pomiarowe, analizujące bądź sterujące. W szczególności mogą to być urządzenia pracujące z rozdziałem czasu, które mają możliwość realizacji algorytmu przetwarzania informacji jednocześnie dla wielu kanałów, np. równoczesnej analizy przebiegów na wielu łączach telefonicznych.

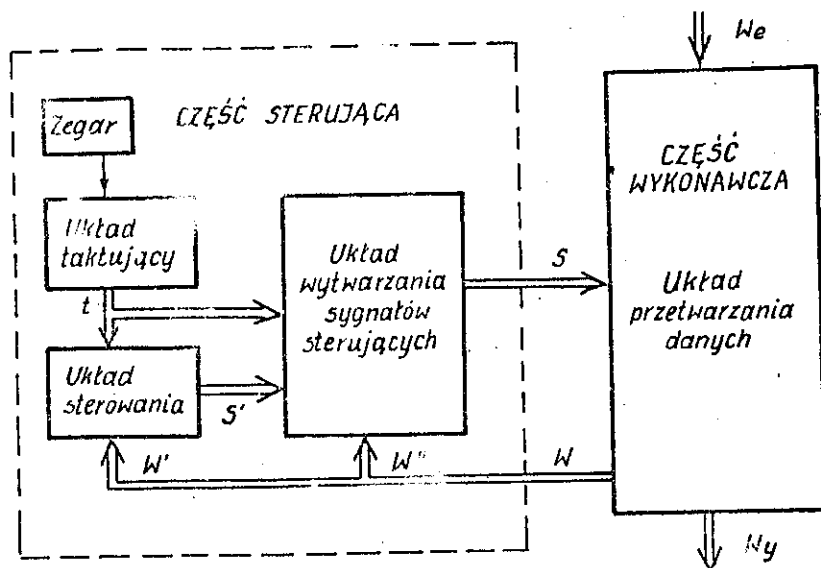
Podane w artykule metody projektowania wykorzystują wyniki wcześniejszych prac prowadzonych w Zakładzie Z-24 Ił Oddział w Gdańsku, w tym prace przy projektowaniu analizatora połączeń telefonicznych "Artus". Metody te zostały wykorzystane do projektowania /również w Zakładzie Z-24/ generatora próbnych połączeń telefonicznych.

Ogólne metody projektowania systemów cyfrowych są opisane np. w [2, 6]. W pracy tej podane będą jedynie wybrane sposoby projektowania, przydatne zwłaszcza do realizacji niezbyt skomplikowanych systemów, dla których stosowanie bardziej złożonych metod minimalizujących liczbę potrzebnych zespołów jest nieopłacalne, ze względu na znikome efekty, połączone z koniecznością zwiększenia nakładu pracy w procesie projektowania oraz zatraceniem przejrzystej organizacji systemu, co z kolei utrudnia późniejsze testowanie. Wydaje się, że podane sposoby mogą być szczególnie przydatne dla urządzeń pracujących z rozdziałem czasu, gdzie wyso-

kie najczęściej wymagania na szybkość działania utrudniają zastosowanie mikroprocesorów ogólnego przeznaczenia.

2. STRUKTURA CYFROWEGO ZESPOŁU FUNKCJONALNEGO

Cyfrowy zespół funkcjonalny może być przedstawiony za pomocą struktury z rys. 1.



Rys. 1. Struktura cyfrowego zespołu funkcjonalnego
 t - zbiór sygnałów taktujących, W - zbiór warunków zwrotnie oddziałujących na część sterującą, W' - warunki przejścia układu sterowania, W'' - warunki wykonywania się operacji warunkowych, S - zbiór sygnałów sterujących układem przetwarzania danych, S' - zbiór sygnałów wyjściowych układu sterowania określających ogólną strukturę algorytmu przetwarzania

Można wyróżnić w nim następujące części: część sterującą, którą tworzą zegar, układ taktujący, układ sterowania oraz część wykonawczą, którą tworzy układ przetwarzania danych.

Zegar jest generatorem przebiegu prostokątnego. Wysterowuje on układ taktujący, który wytwarza sygnały, w takt których odbywa się wykonywanie wszystkich operacji zespołu cyfrowego. Sam układ taktujący umożliwia ustalenie kolejności tylko tych operacji, które są wyłącznie funkcjami czasu. Do ustalenia kolejności operacji, które są funkcjami zarówno czasu jak i danych, niezbędny jest układ sterowania.

Układ sterowania decyduje o ogólnej strukturze wykonywanego algorytmu przetwarzania danych. Umożliwia on wykonywanie operacji skoku warunkowego, a więc realizację pętli w wykonywanym programie. Układ wytwarzania sygnałów sterujących na podstawie sygnałów z układów sterującego i taktującego, a także niekiedy na podstawie warunków dostarczonych zwrotnie przez układ przetwarzania danych, wytwarza sygnały sterujące pracą poszczególnych bloków układu przetwarzania. O ile układ sterujący ustala jedynie ogólną strukturę algorytmu, to układ wytwarzania sygnałów sterujących ustala szczegółowo strukturę tego algorytmu. Zostanie to bliżej opisane w pkt. 3.4.

Układ przetwarzania danych stanowi część wykonawczą cyfrowego zespołu funkcjonalnego. Układ ten na podstawie sygnałów sterujących i sygnałów wejściowych wytwarza sygnały wyjściowe oraz tzw. warunki, które zwrotnie oddziałują na część sterującą.

3. WYBRANE STRUKTURY CYFROWEGO ZESPOŁU FUNKCJONALNEGO PRACUJĄCEGO BEZ ROZDZIAŁU CZASU

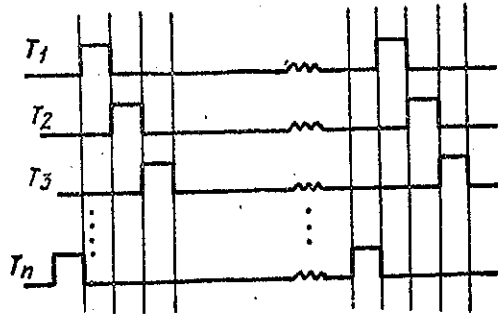
3.1. Układ przetwarzania danych

Struktura układu przetwarzania danych zależy silnie od przeznaczenia cyfrowego zespołu funkcjonalnego. Ogólnie można powiedzieć, że w jego skład wchodzi różnego typu bloki wykonawcze, takie jak: liczniki, rejestry pamięci danych i wyników, jednostki arytmetyczne itp. Dokonują one prze-

tworzenia danych w sposób określony przez część sterującą. W skład układu przetwarzania będą wchodziły również i układy synchronizacji sygnałów wejściowych, jeżeli dochodzą one z zewnątrz w sposób asynchroniczny. W tym artykule zajmę się głównie opisem części sterującej cyfrowego zespołu funkcjonalnego. Wyczerpujące opisy układów przetwarzania danych można natomiast znaleźć w wielu pozycjach literatury, np. w [1, 2, 3, 4, 6].

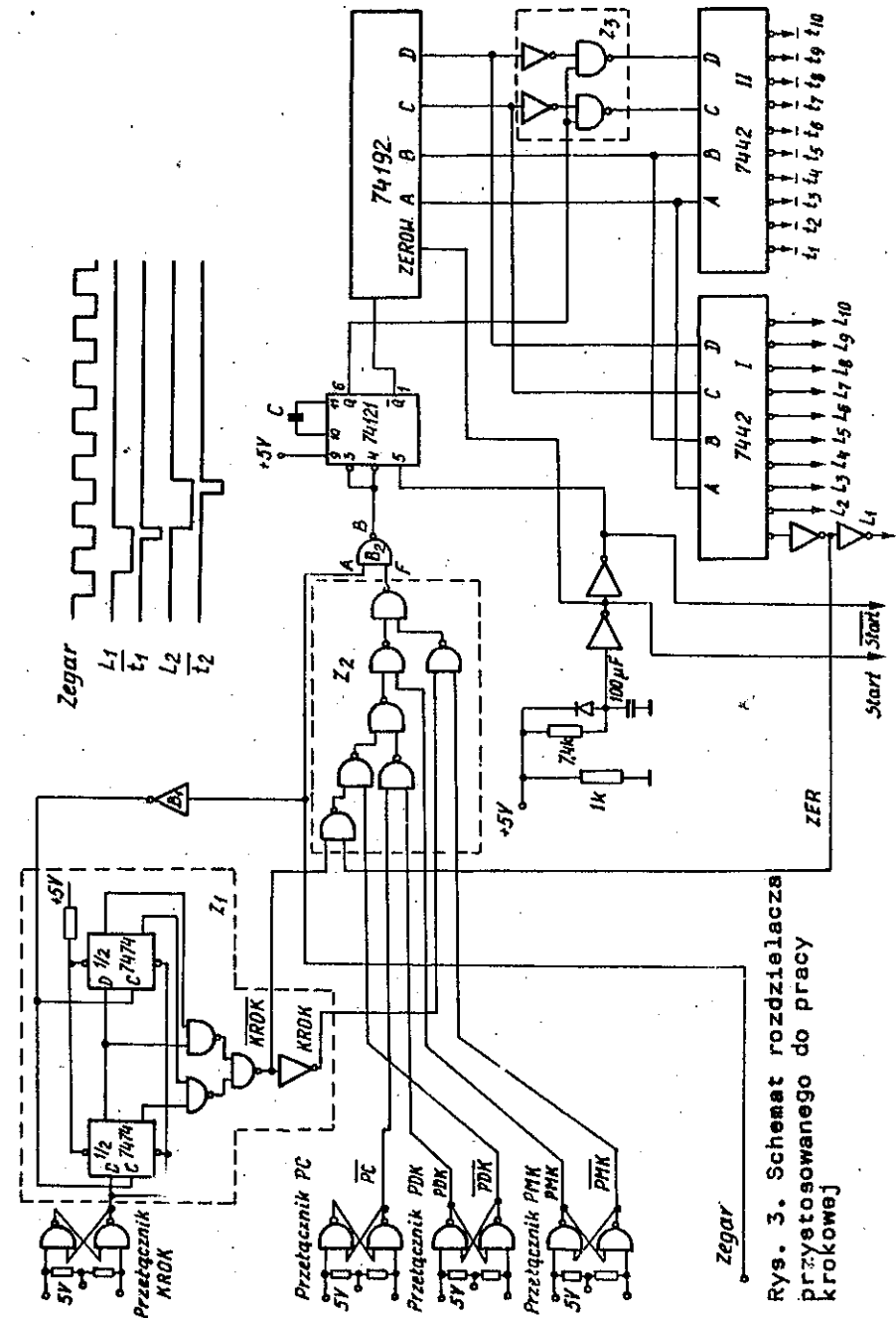
3.2. Układ taktujący

Typową strukturą układu taktującego jest tzw. rozdzielacz. Jest to układ sekwencyjny o jednym wejściu zegarowym i n wyjściach, na których kolejno pojawia się sygnał 0 albo 1, przy czym wyróżnione jest zawsze tylko jedno z n wyjść [3]. Przebiegi czasowe typowego rozdzielacza pokazano na rys. 2.



Rys. 2. Przebiegi czasowe rozdzielacza

Różnorodne realizacje układowe rozdzielaczy są opisane w [3, 4]. Tytułem przykładu przedstawię tu jedynie jeden rozdzielacz skonstruowany w Zakładzie Z-24 IŁ, charakteryzujący się możliwością pracy krokowej, to znaczy wysyłania pojedynczych impulsów lub pojedynczych serii impulsów oraz możliwością wyświetlania aktualnego stanu rozdzielacza. Ułatwia to znacznie uruchamianie i testowanie urządzenia takowanego tym rozdzielaczem. Posiada on również możliwość dowolnego skracania impulsów wyjściowych, co z kolei podnosi



Rys. 3. Schemat rozdzielacza przystosowanego do pracy krokowej

odporność urządzenia na zakłócenia. Schemat rozdzielacza podany jest na rys. 3. Przełączniki zależne PMK /praca małym krokiem, tzn. wysyłanie pojedynczych impulsów/, PDK /praca dużym krokiem, tzn. wysyłanie pojedynczych serii impulsów/ oraz PC /praca ciągła/ służą do wybierania jednego z trzech możliwych trybów pracy. Przełącznik niestabilny KROK służy do inicjowania kolejnych kroków podczas pracy trybem PMK lub PDK.

Zasada działania jest następująca.

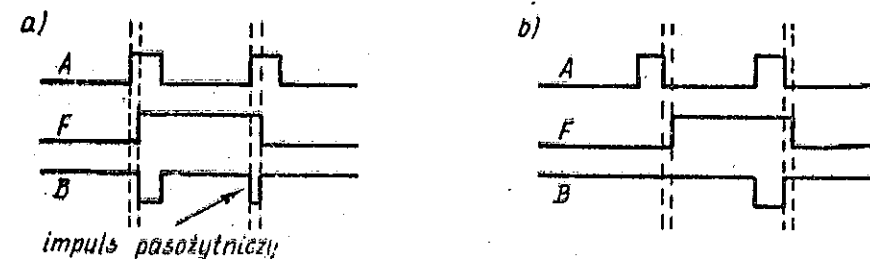
Impulsy zegarowe poprzez odpowiedni układ bramkowania dochodzą do przerzutnika monostabilnego 74121. Impulsy wyjściowe tego przerzutnika o regulowanym czasie trwania dochodzą do licznika dziesiętnego 74192, którego stany są dekodowane równoległe przez 2 dekodery 7442. Dekoder I dekoduje bezpośrednio stan licznika, a więc impulsy na jego wyjściu mają przebieg analogiczny jak na rys. 2. Są one używane do sterowania diod świecących, ukazujących w jakim stanie znajduje się rozdzielacz, natomiast dekodek II jest poprzez zespół bramek Z_3 strobowany w ten sposób, że impulsy wyjściowe na jego wyjściu są krótsze i zależne od czasu trwania impulsu przerzutnika monostabilnego 74121. Impulsy te służą jako właściwe impulsy taktujące. Różne tryby pracy rozdzielacza uzyskuje się dzięki odpowiedniej konstrukcji układu bramkującego Z_2 . Na jego wejścia podawane są bezpośrednio sygnały z przełączników PMK, PDK, PC, sygnał ZER dekodujący zerowy stan licznika 74192 oraz sygnały z przełącznika KROK po przejściu przez układ tzw. różniczkowania synchronicznego [4], złożonego z zespołu układów scalonych Z_1 .

Układ różniczkowania synchronicznego za każdym naciśnięciem klawisza KROK wytwarza dokładnie jeden krótki impuls synchroniczny z przebiegiem zegarowym. Wyjściem układu bramkowania Z_2 jest funkcja

$$F = PMK \cdot KROK + PDK \cdot \overline{PMK} / \overline{ZER} + KROK / + PC \cdot \overline{PDK} \cdot \overline{PMK}$$

przy czym kolejne składniki sumy odpowiadają kolejno trybom pracy PMK, PDK i PC i określają warunki, jakie muszą być

spełnione, aby impulsy zegarowe mogły dochodzić do rozdzielacza. Odpowiednia postać tych warunków zabezpiecza też przed niepożądanymi skutkami procesów przejściowych podczas przełączania przełączników. Branka B_1 natomiast zapobiega niepożądanym skutkom wyścigu, jaki powstałby na bramce B_2 podczas pracy trybem PMK. Mechanizm powstawania w tym wypadku pasożytniczego impulsu na wyjściu bramki B_2 pokazano na rys. 4.



Rys. 4. Eliminacja impulsu pasożytniczego poprzez wprowadzenie dodatkowej bramki

- a/ mechanizm powstawania impulsu pasożytniczego na bramce B_2 ,
- b/ przebieg prawidłowy po wprowadzeniu bramki B_1 zmieniającej zbocze, na które reaguje układ różniczkowania synchronicznego

3.3. Układ sterowania

Formalnym modelem układu sterowania jest tzw. automat cyfrowy [6].

Jeżeli oznaczmy przez:

- M - stan wewnętrzny automatu w danej chwili,
- M' - stan wewnętrzny automatu w poprzedniej chwili,
- W - sygnały wejściowe automatu /tzw. warunki przejścia/
- S - sygnały wyjściowe automatu /tzw. wysterowania lub sygnały sterujące/.

to działanie automatu może być opisane dwiema funkcjami: funkcją przejść δ i funkcją wyjść λ . Jeżeli funkcje δ i λ automatu można opisać zależnościami

$$M = \delta / W, M' / \quad /1/$$

$$S = \lambda / M / \quad /2/$$

to jest to tzw. automat typu Moore'a, którego aktualny stan zależy od jego stanu poprzedniego i sygnałów wejściowych, natomiast sygnały wyjściowe S zależą tylko od jego aktualnego stanu. Jeżeli natomiast zamiast zależnością /2/ funkcja wyjść automatu wyraża się zależnością

$$S = \lambda / M, W / \quad /3/$$

to jest to tzw. automat typu Mealy, którego sygnały wyjściowe S zależą zarówno od aktualnego stanu, jak i od sygnałów wejściowych.

Układ sterowania zgodnie z oznaczeniami z rys. 1 może być traktowany jako automat cyfrowy o sygnałach wejściowych W oraz sygnałach wyjściowych S .

Różnorodne sposoby realizacji automatów cyfrowych są szeroko opisane w wielu pozycjach literatury, np. w [2, 6].

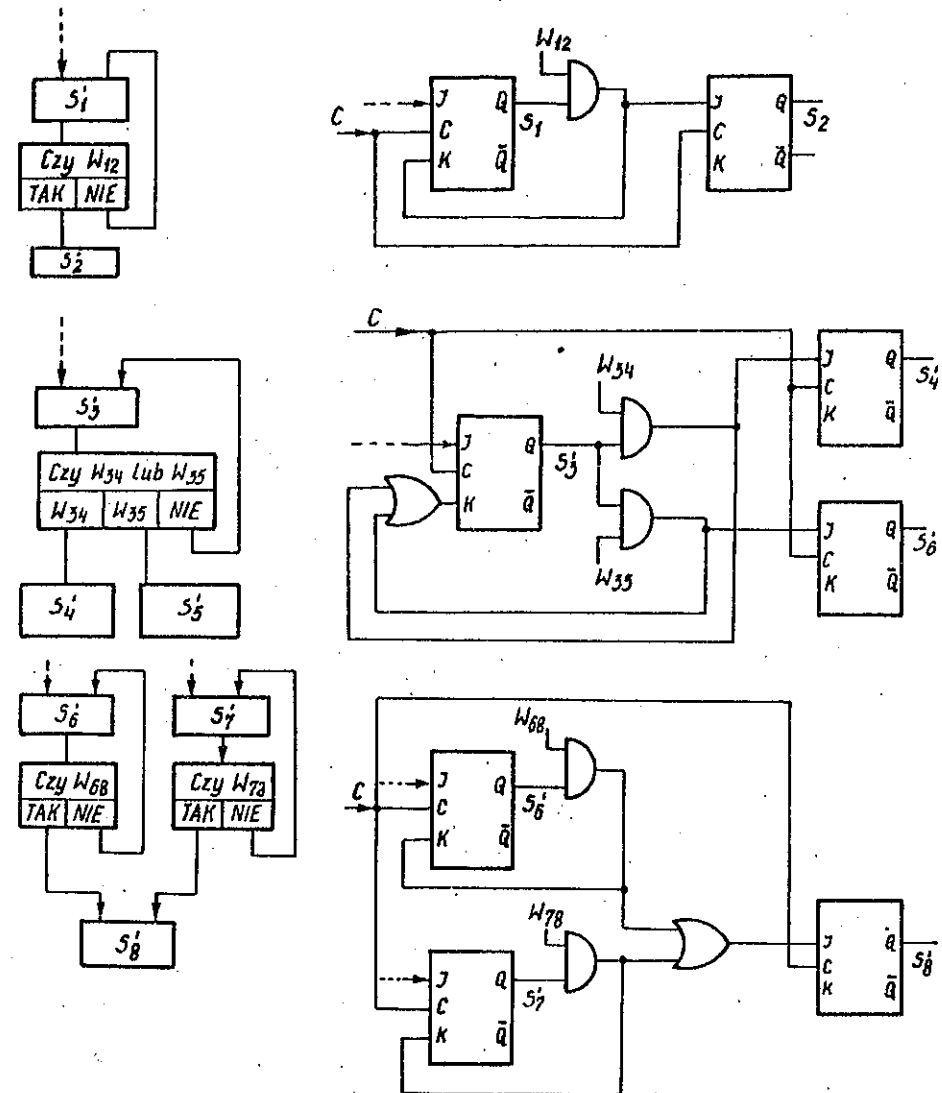
Przytoczę jedynie opis najprostszego układu, który jednak dla prostych automatów, o liczbie stanów poniżej dziesięciu, jest często stosowany ze względu na łatwość projektowania i przekształcania /1/.

Układ wymaga tyle przerzutników JK, ile wynosi liczba różnych stanów automatu. W danej chwili tylko jeden z przerzutników znajduje się w stanie wyróżnionym, wskazując aktualny stan automatu. Sygnały sterujące S są tu więc od razu zdekodowane i funkcja wyjść λ upraszcza się do postaci

$$S' = M \quad /4/$$

Jest to więc automat typu Moore'a.

Wadą układu jest konieczność użycia dużej liczby przerzutników, dlatego metoda nie nadaje się do układów z dużą liczbą stanów, jednakże odpowiednie współdziałanie układu taktującego i układu sterowania, opisane w pkt 3.4, pozwala w



Rys. 5. Równoważniki dla projektowania prostych układów sterowania z użyciem przerzutników JK

ciągu jednego stanu automatu wykonać cały szereg operacji, dlatego za pomocą nawet niewielkiej liczby stanów daje się zbudować zespół cyfrowy realizujący dość złożony algorytm.

Projektowanie układu na podstawie zadanej sieci działań jest bardzo proste. Odpowiednie równoważniki dla projektowania pokazano na rys. 5.

Zasada działania jest następująca:

Oznaczmy przez W_{ij} warunek przejścia ze stanu M_i do stanu M_j . Spełnienie warunku W_{ij} w czasie, gdy automat znajduje się w stanie M_i , co zgodnie z zależnością /3/ jest równoznaczne z występowaniem sygnału sterującego S_i , powoduje odpowiednie ustawienie wejść przerzutników odpowiadających stanom M_i oraz M_j zgodnie z zależnością

$$W_{ij} \mid S_i \Rightarrow \begin{cases} K_i = 1 \\ J_j = 1 \end{cases} \quad /5/$$

i w rezultacie następny impuls zegarowy spowoduje odpowiednią zmianę stanu automatu. Ponieważ w ogólnym przypadku z danego stanu M_i można przejść do różnych stanów oraz do danego stanu M_i można przejść z różnych stanów, ogólne równanie na K_i oraz J_i przedstawia się następująco:

$$\begin{aligned} K_i &= \sum_j W_{ij} \cdot S'_j \\ J_i &= \sum_k W_{ki} \cdot S'_k \end{aligned} \quad /6/$$

gdzie składników w powyższych sumach jest tyle, ile różnych możliwości odpowiednio wyjścia z danego stanu do innych stanów lub przejścia do danego stanu z innych stanów. Jeżeli w danej chwili żaden z warunków wyjścia z danego stanu nie jest spełniony, to układ pozostaje w tym samym stanie, a jeżeli natomiast warunek jest spełniony $/W_{ij} = 1/$, to przejście jest bezwarunkowe.

3.4. Układ wytwarzania sygnałów sterujących

Zadaniem tego układu jest odpowiednie wytworzenie wykonawczych sygnałów bezpośrednio sterujących pracą poszczególnych bloków układu przetwarzania danych, na podstawie sygnałów taktujących i sterujących oraz niekiedy na podstawie

BIBLIOTEKA
Instytutu Łączności
Nr _____

zwrotnych sygnałów otrzymywanych z układu przetwarzania danych $/W/$ wg oznaczeń z rys. 1/. Układ wytwarzania sygnałów sterujących stanowi więc odpowiedni zespół kombinacyjnych funkcji logicznych.

Ogólnie rzecz biorąc, wytwarzanie wykonawczych sygnałów sterujących może być realizowane na różne sposoby [2, 6] i zasadniczo wpływa na sposób projektowania zespołu funkcjonalnego. Najczęściej w czasie trwania danego stanu układu sterowania wytwarzany jest tylko jeden impuls taktujący, co umożliwia uformowanie tylko jednego wykonawczego sygnału sterującego. Rozwiązanie takie wymaga jednak układu sterowania w postaci automatu o dużej liczbie stanów, co stwarza trudności tak przy projektowaniu, jak i przy modyfikacjach projektu. Przedstawię tu jeden z możliwych sposobów organizacji zespołu cyfrowego z rozbudowanym układem taktującym, który podczas trwania danego stanu układu sterowania umożliwia wysłanie wielu kolejno po sobie następujących wykonawczych sygnałów sterujących. Sposób ten charakteryzuje się prostotą konstrukcji, okupioną tym, że czas pracy urządzenia nie jest w pełni wykorzystany do przeprowadzania użytecznych operacji. Mimo to szybkość działania zespołu cyfrowego zbudowanego na tej zasadzie może być w wielu przypadkach wystarczająca nawet dla urządzeń pracujących z rozdziałem czasu.

Zasada działania opiera się na następujących założeniach:

- Zespół cyfrowy zawiera układ taktujący w postaci n wyjściowego rozdzielacza wytwarzającego sygnały $t_1, t_2, t_3, \dots, t_n$. Rozdzielacz sterowany jest generatorem zegarowym.
- Zespół cyfrowy zawiera też układ sterowania w postaci automatu o m stanach wytwarzający sygnały sterujące S'_1, S'_2, \dots, S'_m /wg oznaczeń z rys. 1/ odpowiadające kolejnym stanom automatu.

Układ sterujący może zmieniać swój stan tylko synchronicznie z tylnym zboczem ostatniego impulsu rozdzielacza t_n , a więc każdy stan automatu trwa zawsze przez całko-

witą liczbę cykli rozdzielacza - jeden lub więcej zależnie od warunków przejścia W dochodzących do układu sterującego z układu przetwarzania danych.

- c. Warunki W przechodzenia z jednego stanu w drugi mogą być wytwarzane wewnętrznie przez układ przetwarzania danych bądź pochodzić z zewnątrz, spoza cyfrowego zespołu funkcjonalnego. W tym ostatnim przypadku muszą one być synchronizowane tak, aby było zagwarantowane, że nie będą się one zmieniały w czasie trwania impulsu t_n .
- d. Wszelkie rozkazy wykonywane przez układ przetwarzania danych są bramkowane przez sygnały należące do zbioru S /rys. 1/, wytwarzane w układzie wytwarzania sygnałów sterujących. Są one odpowiednimi iloczynami bądź o postaci

$$S'_x \cdot t_y \quad /7/$$

gdzie S'_x - oznacza sygnał wyjściowy układu sterującego odpowiadający stanowi M_x automatu, $x \in \{1, 2, \dots, m\}$

t_y - oznacza odpowiedni impuls rozdzielacza, $y \in \{1, 2, \dots, n\}$

bądź o postaci

$$S'_x \cdot t_y \cdot W''_v \quad /8/$$

gdzie W''_v jest jednym z możliwych warunków wykonywania operacji warunkowych pochodzących ze zbioru W'' /rys. 1/.

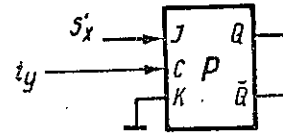
Operacje bramkowane iloczynami postaci /7/ nazywamy operacjami bezwarunkowymi, a bramkowane iloczynami o postaci /8/ - operacjami warunkowymi.

W rezultacie cała część sterująca takiego zespołu funkcjonalnego obejmująca układ taktujący, układ sterowania i układ wytwarzania sygnałów sterujących może być uważana za jeden duży automat cyfrowy, o sygnałach wejściowych W i sygnałach wyjściowych S /rys. 1/ oraz o $n \cdot m$ stanach wewnętrznych. Jeżeli w zbiorze sygnałów sterujących S będą istniały sygnały o postaci /8/, a więc będzie możliwość wykonywania operacji warunkowych, to będzie to już zgodnie z zależnością /3/ auto-

mat typu Mealy. Podstawową zaletą takiej konstrukcji części sterującej cyfrowego zespołu funkcjonalnego jest prosta przejrzysta konstrukcja i łatwość projektowania a także łatwość modyfikacji projektu. Układ sterowania w formie n stanowego automatu tworzy ogólną strukturę algorytmu przetwarzania danych i może on być, podobnie jak to ma miejsce przy pisaniu programu komputerowego, utworzony na podstawie ogólnego, mało szczegółowego schematu działań projektowanego urządzenia. Schemat ten może operować dość złożonymi instrukcjami składającymi się z wielu operacji elementarnych, tj. takich, które można wykonać w jednym cyklu zegarowym. Jest to możliwe dzięki temu, że każdemu stanowi S'_x układu sterowania odpowiada co najmniej jeden pełny cykl rozdzielacza, a więc n impulsów, które mogą być użyte do sterowania kolejno po sobie następujących operacji elementarnych. Schemat ten powinien być jednak na tyle szczegółowy, aby uwzględniał ogólną strukturę algorytmu, czyli wszystkie jego pętle, ponieważ złożone instrukcje, jakimi operuje się przy tworzeniu schematu nie mogą zawierać wewnętrznych pętli, a operacje elementarne, z jakich składa się taka instrukcja, muszą następować w ściśle określonej, poprzez strukturę rozdzielacza, kolejności czasowej. Oczywiście na ogół nie wszystkie złożone instrukcje, jakimi operujemy przy tworzeniu układu sterowania, wymagają aż n operacji elementarnych. Najczęściej wymagają mniej. Dlatego w przypadku takiej właśnie konstrukcji części sterującej cyfrowego zespołu funkcjonalnego nie cały czas pracy urządzenia jest efektywnie wykorzystany do przeprowadzenia użytecznych operacji. Praktyka wykazuje jednakże, że w wielu wypadkach szybkość działania, jaką można uzyskać jest wystarczająca. Na uwagę zasługuje również łatwość przeprowadzania modyfikacji algorytmu przetwarzania, ponieważ istnieje ścisła odpowiedniość między poszczególnymi fragmentami schematu działania a poszczególnymi podzespołami części sterującej. Bardzo często modyfikacje takie są drobne i nie przejawiają się wcale na ogólnym schemacie działania, co ogranicza zakres modyfikacji do zmiany niektórych funkcji postaci /7/

lub /8/ w układzie wytwarzania sygnałów sterujących, przy czym układy taktujący i sterowania pozostają bez zmian.

Ponadto należy zauważyć, że nie zawsze iloczyny typu /7/ lub /8/ muszą być realizowane w formie jawnej. Np. jeżeli w stanie S'_x w czasie trwania impulsu t_y należy do przerzutnika P wpisać 1, to można to zrobić wg rys. 6 bez poprzedniej realizacji iloczynu $S'_x \cdot t_y$.



Rys. 6. Wpisywanie jedynki do przerzutnika P bramkowane iloczynem $t_y \cdot S'_x$

3.5. Przykład syntezy części sterującej cyfrowego zespołu funkcjonalnego

Zadanie projektowe jest następujące:

Należy zaprojektować generator próbných połączeń telefonicznych, który okresowo generowałby próbne połączenia telefoniczne. Generator powinien wykonać określoną liczbę cykli połączeń. Każdy cykl połączeń składa się z określonej liczby połączeń, przy czym każde kolejne połączenie powinno być skierowane do odzewnika o innym numerze telefonicznym. Numery odzewników powinny być zawarte w pamięci ROM generatora. Generator powinien zbierać dane osobno dla każdego odzewnika. Dane te powinny określać ogólną liczbę połączeń i liczbę połączeń nieudanych. Dla uproszczenia pominiemy tu problem dalszego przekazywania zgromadzonych danych o przebiegu połączeń.

Na podstawie analizy zadania projektowego zauważamy, że układ przetwarzania danych powinien zawierać:

- pamięć ROM, w której przechowywane będą numery telefoniczne,

- pamięć RAM do przechowywania wyników wraz z rejestrem wejścia-wyjścia,
- licznik cykli,
- licznik numerów,
- licznik cyfr,
- licznik impulsów wybierczych /rewersyjny/,
- licznik do odmierzenia temporyzacji,
- układy dopasowania i synchronizacji sygnałów dochodzących z linii telefonicznej,
- układ wyjściowy dopasowujący sygnały wyjściowe do wymagań linii telefonicznej.

Wykonawcze sygnały S dostarczane do części przetwarzania danych będą więc rozkazami typu "zeruj" lub "dodaj 1 do liczników", "czytaj pamięć", "zapisz do pamięci" itp.

Warunki W będą bądź wewnętrzne oznaczające, np. koniec temporyzacji lub zewnętrzne oznaczające, np. udane połączenie, czyli zgłoszenie się abonenta wywoływanego.

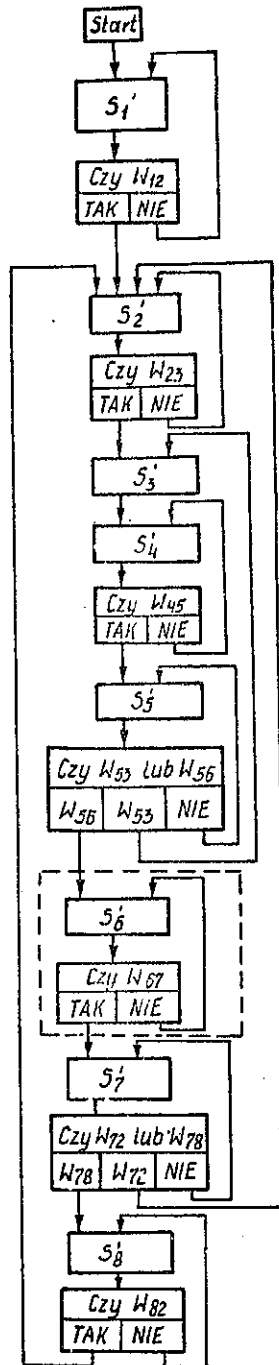
Przyjmijmy wstępnie, że rozdzielacz będzie miał 10 wyjść, a okres rozdzielacza ustalmy na 100 ms - bo tyle trwa okres impulsów wybierczych, najkrótszy interwał czasowy, jaki nas w procesie generowania połączeń interesuje.

Ogólny schemat działania przedstawiający strukturę algorytmu pokazany jest na rys. 7. Operuje on instrukcjami złożonymi, mającymi jasną interpretację nawet bez wnikania w szczegóły konstrukcji generatora połączeń próbných, co ma duże znaczenie dla czytelności projektu. Każdy z tych rozkazów złożonych należy teraz dokładnie rozpracować, uwzględniając szczegółowe wymagania stawiane sygnałom sterującym poprzez układ przetwarzania danych.

Dla przykładu rozpatrzmy budowę instrukcji złożonej odpowiadającej stanowi S'_6 - oczekiwanie na rozmowę.

Przebieg działań dla tego przypadku pokazuje rys. 8.

Posługując się ogólnym schematem działań z rys. 7, można zaprojektować odpowiadający mu układ sterowania. Jest on za-



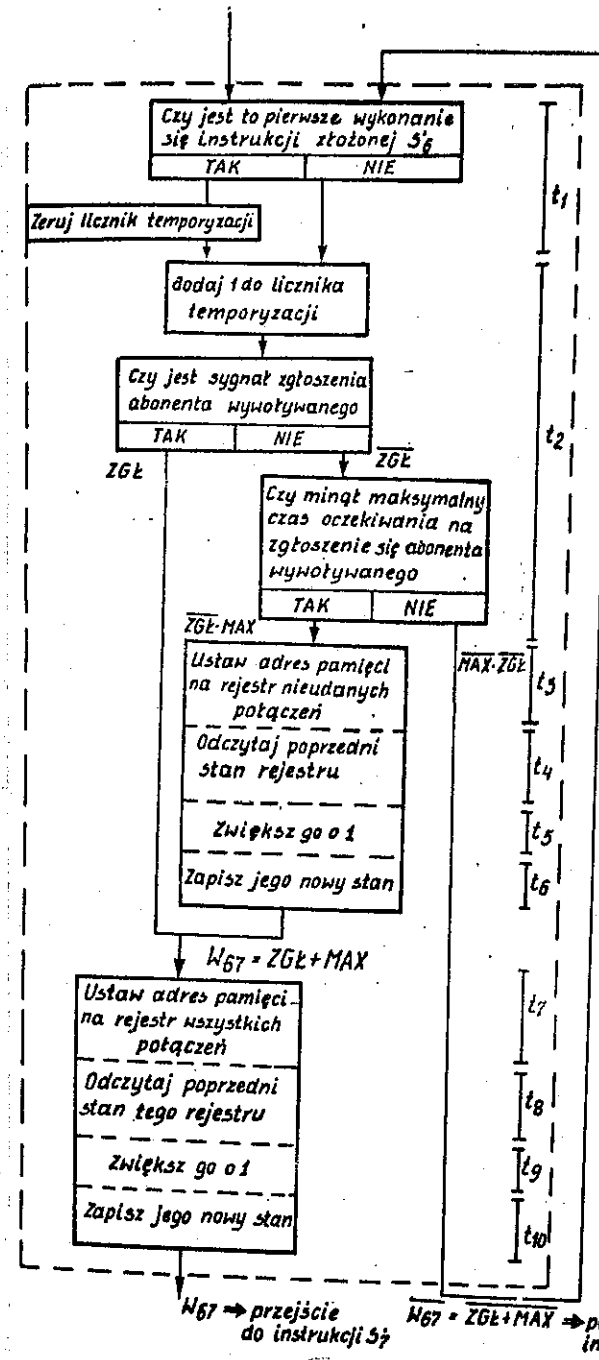
Instrukcje złożone:

- S_1' - przygotowanie urządzenia do pracy po włączeniu zasilania /ustawianie wstępne, zerowanie pamięci RAM/
 S_2' - oczekiwanie na sygnał zgłoszenia centrali
 S_3' - czytanie kolejnej cyfry numeru z pamięci ROM
 S_4' - nadanie impulsu
 S_5' - nadanie przerwy międzycyfrowej
 S_6' - oczekiwanie na rozmowę
 S_7' - nadanie przerwy między kolejnymi połączeniami
 S_8' - faza oczekiwania na dalsze instrukcje po skończeniu programu.

Warunki przejścia:

- W_{12} - urządzenie gotowe do pracy
 W_{23} - jest sygnał zgłoszenia centrali, można nadawać numer
 W_{45} - nadano wszystkie impulsy cyfry
 W_{53} - jeszcze nie koniec numeru
 W_{56} - koniec numeru
 W_{67} - koniec połączenia
 W_{72} - koniec przerwy międzypołączeniowej, można realizować następne połączenie
 W_{78} - przerwać program, oczekiwać biernie na dalsze instrukcje /pojawia się po skończeniu całego programu bądź wskutek zewnętrznego przerwania/
 W_{82} - podjąć na nowo realizację programu

Rys. 7. Ogólny schemat działania generatora połączeń telefonicznych. Fragment schematu obwiedziony linią przerywaną jest przedstawiony szczegółowo na rys. 8.



Równania sygnałów bramkujących poszczególne rozkazy:

ZER - sygnał otrzymywany z układu przedstawionego na rys. 10

$$t_2 \cdot S_6'$$

$$t_3 \cdot S_6' \cdot \overline{ZGL} \cdot MAX$$

$$t_4 \cdot S_6' \cdot \overline{ZGL} \cdot MAX$$

$$t_5 \cdot S_6' \cdot \overline{ZGL} \cdot MAX$$

$$t_5 \cdot S_6' \cdot ZGL \cdot MAX$$

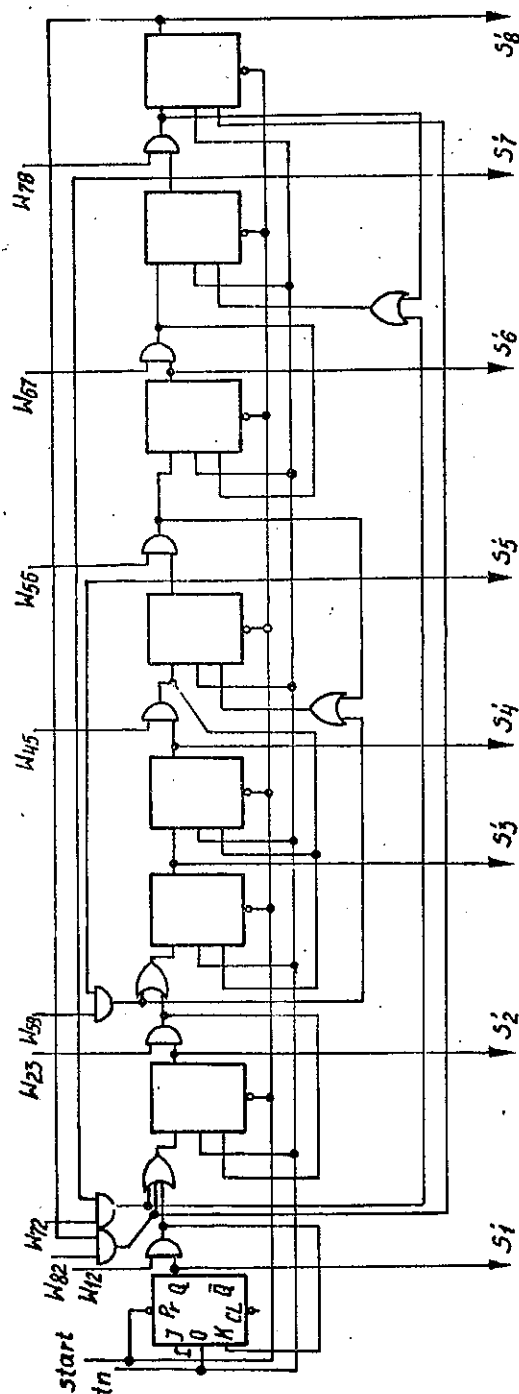
$$t_7 \cdot S_6' \cdot /ZGL+MAX/$$

$$t_8 \cdot S_6' \cdot /ZGL+MAX/$$

$$t_9 \cdot S_6' \cdot /ZGL+MAX/$$

$$t_{10} \cdot S_6' \cdot /ZGL+MAX/$$

Rys. 8. Schemat instrukcji złożonej S_6'



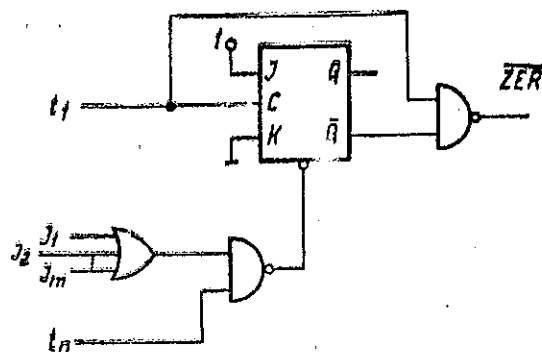
Rys. 9. Schemat układu sterowania odpowiadający schematowi działania z rys. 7

projektowany zgodnie z metodą opisaną w pkt. 3.3.1 przedstawiony na rys. 9. Działa następująco: Początkowy impuls startowy pojawiający się tuż po włączeniu zasilania ustawia stan S_1 . Jest to stan wstępny, w którym następuje zerowanie pamięci RAM. Potem stany zmieniają się kolejno w zależności od spełnienia warunków przejścia W . Przejście ze stanu S_3 do S_4 jest przejściem bezwarunkowym i następuje po jednym cyklu rozdzielacza.

Posługując się natomiast schematami instrukcji złożonych, z których składają się poszczególne bločky schematu ogólnego i uwzględniając szczegółową strukturę sygnałów sterujących wymaganych przez układ przetwarzania danych – projektujemy układ wytwarzania sygnałów sterujących. Aby układ ten miał możliwie prostą strukturę, należy dążyć /w miarę możliwości/, aby operacje elementarne, które mogą być wykonywane w różnych instrukcjach złożonych, były wykonywane w czasie tego samego impulsu rozdzielacza.

Wyjaśnienia wymaga jeszcze sposób odmierzania temporyzacji określającej maksymalny czas oczekiwania na zgłoszenie się abonenta wywołującego. Temporyzacje takie, zarówno w czasie oczekiwania na rozmowę jak i temporyzacje niezbędne w innych fazach połączenia telefonicznego, realizuje się za pomocą licznika temporyzacji, który co każde 100 ms zwiększa swój stan. Z chwilą osiągnięcia zadanego stanu wysyłany jest odpowiedni sygnał końca temporyzacji. Jeżeli licznik ten ma być używany do odmierzania temporyzacji w różnych fazach połączenia telefonicznego, to wówczas istnieje problem zerowania takiego licznika, nie może on bowiem być zerowany sygnałem typu /7/. Powinien on być zerowany nie w każdym cyklu rozdzielacza /podczas trwania danego stanu S układu sterowania/, ale jedynie podczas pierwszego cyklu. Dlatego do wytworzenia tego sygnału konieczny jest specjalny układ pokazany na rys. 10.

Operacja zerowania licznika temporyzacji może być uważana za operację warunkową typu /8/ z warunkiem $J_1 + J_2 + \dots$.



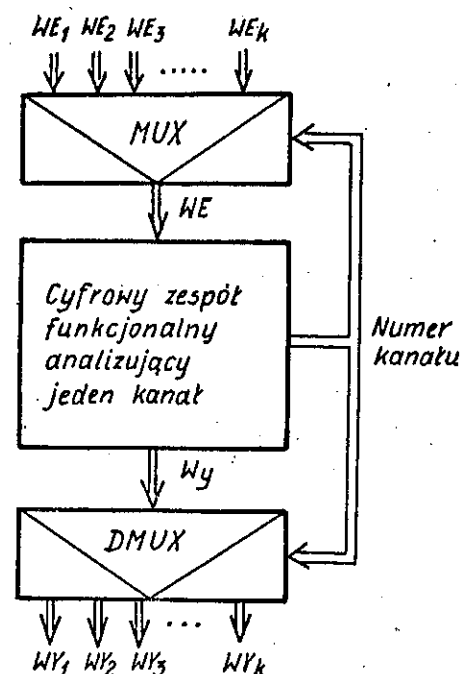
Rys. 10. Układ wytwarzający impuls zerujący licznik temporyzacji

4. WYBRANE STRUKTURY CYFROWEGO ZESPOŁU FUNKCJONALNEGO PRACUJĄCEGO Z ROZDZIAŁEM CZASU

Często zdarza się, że szybkość działania układów TTL czy MOS jest wielokrotnie większa od wymaganej przez projektowany cyfrowy zespół funkcjonalny. Tak np. w przypadku generatora połączeń opisanego w pkt. 3.5 wystarczy częstotliwość zegara rzędu 100 Hz, podczas gdy ze względu na własności układów TTL możliwe jest zastosowanie zegara o częstotliwości rzędu co najmniej kilku MHz. Dlatego często korzystna jest realizacja urządzeń pracujących systemem wielokanałowym z rozdziałem czasu. Realizacja takich urządzeń jest szczególnie prosta gdy konieczne jest wykonywanie w tym samym czasie wielu algorytmów o takiej samej strukturze. Przykładem może tu być jeden wielokanałowy generator połączeń realizujący funkcje wielu generatorów z pkt. 3.5. Struktura wielokanałowa pozwala wtedy na znaczne zwiększenie użyteczności urządzenia kosztem stosunkowo niewielkiej jego rozbudowy, natomiast proces jego projektowania bazuje na przedstawionym w pkt. 3 procesie projektowania urządzenia jednokanałowego.

Ogólną strukturę urządzenia wielokanałowego pokazują rys. 11. Różni się on od urządzenia jednokanałowego głównie

tym, że występują tu dodatkowo multiplekser wejściowy i demultiplekser wyjściowy, realizujące podział czasu.



Rys. 11. Struktura cyfrowego zespołu funkcjonalnego pracującego z rozdziałem czasu

MUX - multiplekser wejściowy, DMUX - demultiplekser wyjściowy

Natomiast struktura bloku oznaczonego na rys. 11 jako "cyfrowy zespół funkcjonalny analizujący jeden kanał", jest w znacznym stopniu zbliżona do cyfrowego zespołu funkcjonalnego pracującego bez rozdziału czasu, opisanego w pkt. 3.

Główna różnica między nimi jest związana z większą pojemnością pamięci urządzenia wielokanałowego, konieczną ze względu na operowanie większym zbiorem danych /jest wiele kanałów/ oraz z koniecznością przechowywania w pamięci wyników przejściowych informujących o stanie danego kanału podczas poprzedniej jego analizy.

Najczęściej spotykane są urządzenia pracujące na zasadzie sztywnego przyporządkowania czasu pracy urządzenia poszczególnym kanałom. W takim urządzeniu każdy kanał jest rozpatrywany co okres $t_{\text{przep.}}$, a na obróbkę danych związanych z tym kanałem poświęca się przedział czasu równy $t_{\text{obr.}}$. Jeżeli kanałów jest k , to zachodzi $t_{\text{przep.}} \geq k \cdot t_{\text{obr.}}$.

Urządzenie takie posiada pamięć RAM zorganizowaną w ten sposób, że w pamięci znajdują się obszary przyporządkowane poszczególnym kanałom, w których są przechowywane dane o stanie danego kanału.

Działa ono w sposób następujący:

- 1/ urządzenie pobiera z odpowiedniego obszaru pamięci RAM dane o poprzednim stanie kanału;
- 2/ dokonuje szybkiej obróbki danych, tzn. wykonuje jedną instrukcję złożoną obejmującą jeden pełny cykl rozdzielacza;
- 3/ zapisuje w tym samym obszarze pamięci RAM nowe dane o stanie kanału.

Następnie zwiększany jest stan licznika kanałów i urządzenie wg punktów 1, 2, 3 uwalizuje następny kanał. Po przeanalizowaniu wszystkich pozostałych kanałów wraca z powrotem do kanału pierwszego, analizuje go itd., itd.

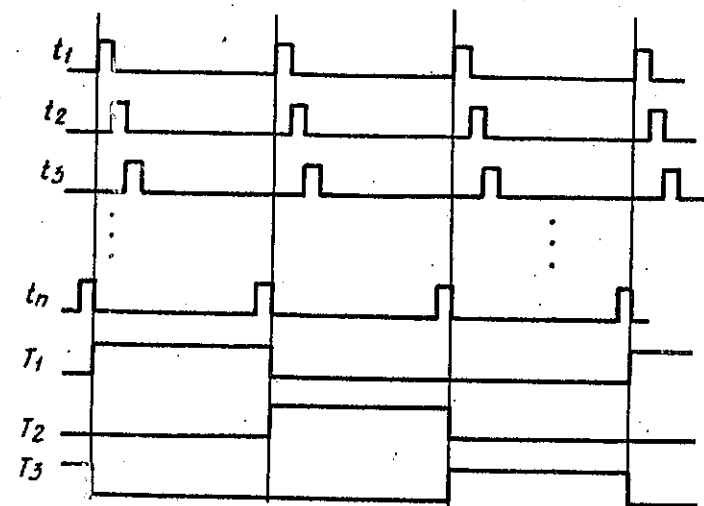
Organizacja pracy urządzenia wielokanałowego pracującego na powyższej zasadzie może być realizowana na różne sposoby.

Opiszę tu tytułem przykładu jeden prosty przypadek, ograniczając się przy tym do opisu bloków różniących się bądź w ogóle nie występujących w opisanym pkt. 3 urządzeniu pracującym bez rozdzielacza czasu.

Zmiany w części sterującej urządzenia są następujące:

1. Na każdą z wyżej wymienionych trzech operacji, tzn. odczyt stanu poprzedniego, obróbka danych, zapis stanu aktualnego, poświęcamy jeden cykl rozdzielacza wytwarzającego impulsy t . Aby rozróżnić te 3 rodzaje operacji wprowadzamy oprócz rozdzielacza wytwarzającego impulsy t również trójkąt-

wyjściowy rozdzielacz wytwarzający impulsy T . Zależność czasową pomiędzy oboma rodzajami impulsów przedstawia rys. 12.



Rys. 12. Zależność czasowa pomiędzy rozdzielaczem wytwarzającym impulsy t i rozdzielaczem wytwarzającym impulsy T

Widać, że jeden impuls rozdzielacza T obejmuje cały cykl impulsów rozdzielacza t . Rozdzielacz T zmienia swój stan synchronicznie z tylnym zboczem impulsu t_n rozdzielacza t . W czasie trwania impulsu T_1 następują operacje odczytu stanu poprzedniego, w czasie impulsu T_2 - obróbka danych, a w czasie T_3 - operacja zapisu stanu aktualnego. Wszelkie rozkazy wykonywane przez układ przetwarzania danych są bramkowane przez sygnały będące odpowiednimi iloczynami bądź o postaci

$$S'_x \cdot t_y \cdot T_z \quad /9/$$

gdzie S'_x - odpowiedni sygnał wyjściowy układu sterowania - analogicznie jak dla przypadku automatu jednokanałowego opisanego w pkt. 3, $x \in \{1.2...n\}$

t_y - odpowiedni impuls rozdzielnicy t - analogicznie jak dla przypadku automatu jednokanałowego, $y \in \{1, 2, \dots, m\}$

T_z - odpowiedni impuls rozdzielnicy T , $z \in \{1, 2, 3\}$

bądź dla rozkazów warunkowych o postaci

$$S_x' \cdot t_y \cdot T_z \cdot W_q'' \quad /10/$$

gdzie W_q'' jest jednym z elementów zbioru W'' - warunków wykonywania operacji warunkowych /por. rys. 1/. Postać iloczynów /9/ i /10/ jest więc analogiczna jak w przypadku automatu jednokanałowego - iloczyny /7/ i /8/. Zawierają one jedynie dodatkowo czynnik T_z .

2. W celu zachowania dotychczasowej szybkości obróbki danych w stosunku do urządzenia pracującego bez rozdziału czasu należy zwiększyć częstotliwość zegara $3k$ razy / k - liczba kanałów/.
3. W związku z koniecznością odczytywania z pamięci RAM stanu danego kanału, jaki istniał podczas poprzedniej jego analizy, należy zmodyfikować nieco opisany w pkt. 3.3 układ sterowania. Modyfikacja dotyczy zapewnienia możliwości ustawiania stanu automatu sterującego poprzez odczyt, co można prosto zrealizować za pomocą wejść ustawiających "preset" przerzutników JK, z których składa się ten automat.

Zmiany w części wykonawczej urządzenia są następujące:

1. Należy wprowadzić układ realizujący podział czasu składający się z licznika kanałów /zmieniającego swój stan podczas tylnego zbocza impulsu T_3 / oraz multipleksera wejściowego i demultipleksera wyjściowego adresowanych licznikiem kanałów. Jeżeli pojedynczy kanał ma więcej niż jeden sygnał wejściowy/lub wyjściowy/, to multipleksier /lub demultipleksier/ musi zapewniać komutację odpowiednio większej liczby sygnałów. Licznik kanałów może być użyty również do wybierania odpowiednich obszarów pamięci związanych z danym kanałem.

2. Należy zreorganizować pamięci RAM i ROM urządzenia poprzez rozszerzenie ich pojemności i określenie w nich obszarów odpowiadających poszczególnym kanałom. W pamięci RAM oprócz przechowywania danych wynikowych, analogicznie jak w przypadku urządzenia pracującego bez rozdziału czasu, należy również przechowywać dane przejściowe informujące o stanie kanału podczas poprzedniej jego analizy, takie jak: stan układu sterowania oraz zawartość liczników i rejestrów wykorzystywanych w procesie przetwarzania danych.

3. Liczniki wykorzystywane w procesie przetwarzania danych należy zaprojektować tak, aby miały one możliwość ustawienia swego stanu przez odczyt z pamięci RAM.

Przedstawiona powyżej zasada działania automatu wielokanałowego może być oczywiście w miarę potrzeby modyfikowana. Można np. w niektórych przypadkach dane wyjściowe dotyczące wszystkich kanałów wyprowadzić przez jedno wspólne wyjście i wówczas nie jest potrzebny demultipleksier, natomiast może okazać się konieczna pamięć buforowa ze względu na konieczność dopasowania szybkości przepływu informacji. Inną modyfikacją może być zastosowanie do wytwarzania impulsów t , tzw. rozdzielnicy wieloprogramowej [3], który podczas trwania impulsu T_2 , czyli podczas obróbki danych, miałby cykl normalny, natomiast podczas T_1 i T_3 , czyli podczas czytania i zapisu danych przejściowych o poprzednim stanie kanału, kiedy to wykonywane są wielokrotnie te same instrukcje odczytu lub zapisu do pamięci, miałby cykl inny, np. $t_1 t_2 t_3 t_4 t_2 t_3 t_4 \dots t_2 t_3 t_4 t_5 \dots t_n$, w którym wielokrotne, zależne od liczby potrzebnych odczytów lub zapisów powtarzanie ciągu $t_2 t_3 t_4$ upraszcza organizację cyklicznego procesu odczytu /zapisu/.

5. PODSUMOWANIE

Przedstawione metody projektowania charakteryzują się dużą prostotą i łatwością w stosowaniu oraz mogą się dość dobrze nadawać do różnorodnych zastosowań przy projektowaniu urządzeń automatycznych, zarówno prostych jak i bardziej skomplikowanych. Ze względu na możliwość uzyskania stosunkowo dużej szybkości działania szczególnie nadają się one do projektowania urządzeń pracujących z rozdziałem czasowym. W tym przypadku proces projektowania jest w zasadzie taki sam, jak dla urządzenia jednokanałowego, tzn. pracującego bez rozdziału czasu i potrzebne są jedynie stosunkowo niewielkie - w porównaniu do urządzenia jednokanałowego - modyfikacje części sterującej urządzenia. Natomiast nieco większe modyfikacje części wykonawczej urządzenia dotyczą głównie dodania układu zapewniającego realizację rozdziału czasu, złożonego z licznika kanałów, multipleksera i ewentualnie demultipleksera oraz rozszerzenia pojemności pamięci.

BIBLIOTEKA
Instytutu Łączności
WYKAZ LITERATURY 5-8745

1. Kalisz Józef: Cyfrowe układy scalone w technice systemowej. WMON, Warszawa 1977.
2. Peatman John B.: Projektowanie systemów cyfrowych. WNT, Warszawa 1976.
3. Piętkos Jan, Turczyński Janusz: Układy scalone TTL serii UCY74 i ich zastosowania. WKŁ, Warszawa 1976.
4. Piętkos Jan, Turczyński Janusz: Układy scalone TTL w systemach cyfrowych. WKŁ, Warszawa 1980.
5. Praca zbiorowa: Analizator Połączeń Telefonicznych "Artus" - opis techniczny. Instytut Łączności w Gdańsku, 1980.
6. Praca zbiorowa: Zespoły i urządzenia cyfrowe. WNT, Warszawa 1979.

Dotychczas ukazały się:

1. Białobrzeski R., Sońta S.: Zastosowanie testu chi kwadrat Pearsona do weryfikacji hipotezy statystycznej, na podstawie empirycznej gęstości prawdopodobieństwa. Grudzień 1977.
2. Blinkiewicz A., Mędrzycki B., Hutnik M., Sambierski R.: Zastosowanie pamięci kasetowej PK-1 do rejestracji danych w systemie komutacyjnym E-10. Styczeń 1978.
3. Orłowski A.: Optymalizacja układu ogranicznika dynamiki zwłaszcza dla radiofonii krótkofalowej. Luty 1978.
4. Frączek K.: Zasady opracowywania wymagań techniczno-eksploatacyjnych na urządzenia pomiarowe w resorcie łączności. Marzec 1978.
5. Białobrzeski R., Dudziewicz J.: Minimalna częstość próbkowania sygnału losowego przy pomiarze jego mocy średniej. Marzec 1978.
6. Lewandowski W.: Wprowadzenie komutacji teledacyjnych kanałów cyfrowych w powszechnej telefonicznej sieci komutacyjnej z centralami elektronicznymi E-10. Kwiecień 1978.
7. Dudziewicz J.: Ogólne wytyczne w sprawie prowadzenia i dokumentowania prac naukowo-badawczych wykonywanych w Instytucie łączności. Kwiecień 1978.
8. Stągrowski A.: Metoda detekcji i pomiaru impulsów o maksymalnych i minimalnych czasach trwania w ciągu. Maj 1978.
9. Chamski J.: System CTI-B dla maszyny cyfrowej R-10. Maj 1978.
10. Puchalski E.: Kompensator napięcia stałego stosowany w układach do sprawdzania przetworników termoelektrycznych i mikropotencjometrów. Czerwiec 1978.
11. Kozłowski A.: Elektroniczny sygnalizator przywołania abonenta w aparacie telefonicznym CB. Wrzesień 1978.
12. Stasiński L.: Wyładowania łukowe w.cz. na izolatorach odciągów pionowych anten radiofonicznych. Październik 1978.
13. Walaszek S.: Zastosowanie uogólnionego rozwiązania układu o trzech stanach do analizy niezawodności. Styczeń 1979.
14. Sońta S.: Aparatura automatyczna badań sieci łączą międzyimiastowych systemu ABA-3. Luty 1979.

15. Godlewski P.: Język programowania badań w systemie ABA2 i ABA3. Marzec 1979.
16. Waśniewski A.: Kombinatoryczne aspekty planowania badań sieci telekomunikacyjnej za pomocą systemu ABA-3. Kwiecień 1979.
17. Brennek L., Lebledziuk B.: System edycji, przechowywania i translacji programów w języku SAWIK dla minikomputera MERA 305. Maj 1979.
18. Godlewski P.: Aparatura sterująca systemu badawczego ABA-3 - architektura urządzenia. Czerwiec 1979.
19. Chamski J.: Centrum eksploatacji technicznej w systemie E 10. Lipiec 1979.
20. Porada M.: Komunikat o badaniach zakłóceń impulsowych w łączach telefonicznych. Sierpień 1979.
21. Sońta S.: Generacja sygnałów losowych niezależnych obciążających kanały telefoniczne. Wrzesień 1979.
22. Karwowska-Lamparska A.: Koncepcja systemu WIDEOTEKS. Październik 1979.
23. Kowalska J.: Próba eksploatacyjna automatycznej aparatury badawczej ABA-2 - analiza wyników, wnioski. Listopad 1979.
24. Tyrowicz M.: System zdalnej rejestracji kontroli obiektów specjalnych - REKO - . Grudzień 1979.
25. Frydrych Z.: Uwagi o wymiarowaniu wiązek łączy międzycentralowych. Styczeń 1980.
26. Frydrych Z.: O niezawodności sieci telekomunikacyjnej. Luty 1980.
27. Kisto M.: Automatyzacja stacjonarnych pomiarów propagacyjnych. Marzec 1980.
28. Mieszczanek J.: Analiza i projektowanie oscylatorów kwarcowych pracujących w układzie Pierce'a-Colpitts'a. Kwiecień 1980.
29. Frydrych Z.: Niektóre problemy projektowania dróg kolejnego wyboru. Maj 1980.

Biblioteca

12

S-8745